

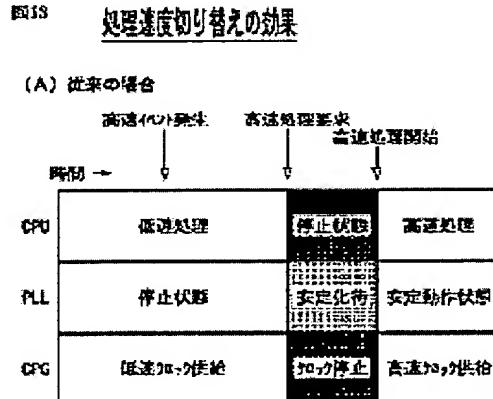
MICROPROCESSOR

Patent number: JP2002073201
Publication date: 2002-03-12
Inventor: MATSUI SHIGEZUMI; YAMAMOTO MITSUTAKE; YOSHIOKA SHINICHI; NARITA SUSUMU; KAWASAKI IKUYA; KANEKO SUSUMU; HASEGAWA KIYOSHI
Applicant: HITACHI LTD; HITACHI ULSI SYS CO LTD
Classification:
- **International:** G06F1/06; G06F9/30; G06F15/78; G06F1/06; G06F9/30; G06F15/76; (IPC1-7): G06F1/06; G06F9/30; G06F15/78
- **European:**
Application number: JP19950187813 19950630
Priority number(s): JP19950187813 19950630; JP19940181901 19940711; JP19950085930 19950320

[Report a data error here](#)

Abstract of JP2002073201

PROBLEM TO BE SOLVED: To realize a microprocessor which is capable of quickly switching a low speed mode to a high speed mode, and facilitating countermeasures to an unexpected situation even at the time of switching the mode. **SOLUTION:** In this microprocessor incorporating a PLL circuit for forming an oscillation pulse with relatively high frequencies obtained by multiplying a clock pulse with relatively low frequencies as a reference frequency input, in a low speed mode, the operation of the PLL circuit is stopped, and a system clock signal corresponding to the relatively low frequencies is outputted, and in a high speed mode, the PLL circuit is started according to the generation of an event whose high speed processing is necessary, and then the system clock signal corresponding to the relatively low frequencies is continuously outputted until the PLL circuit is stabilized, and a request for the start of the high speed processing is issued, and a system clock signal corresponding to the oscillation pulse with the relatively high frequencies formed by the PLL circuit is outputted when the output frequencies of the PLL circuit are stabilized, and the request for the start of the high speed processing is issued.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

10-1996-0005342

(3)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
G06F 15/177(11) 공개번호 10-1996-0005342
(43) 공개일자 1996년 02월 23일

(21) 출원번호	10-1995-0019881
(22) 출원일자	1995년 07월 07일
(30) 우선권주장	94-181901 1994년 07월 11일 JP 95-085930 1995년 03월 20일 JP 95-187813 1995년 06월 30일 JP
(71) 출원인	가부시끼 가이사하디찌세이 사꾸소 가나이즈도무 일본국도 꼬도지 요다구간다스루가다이4-6하디찌초일에스아이엔지니어링 가부시 끼가이사 스즈끼전이찌로
(72) 발명자	일본국도 꼬도고다이라시조스이촌쵸5-20-1 마쓰이시게즈미 일본국도 꼬도고다이라시가꾸엔니시마찌1-12-16-A202 아마모토미쓰요시 일본국도 꼬도하가시무리야마시온다쵸1-59-2-A418 요시오까산이찌 일본국도 꼬도고다이라시조스이촌쵸5-19-1 나리따스스무 일본국도 꼬도고꾸분지시히가시또꾸라1-21-70 기와사끼미꾸야 일본국도 꼬도고다이라시오가와쵸1-398-13 가네꼬스스무 일본국도 꼬도고꾸분지시히요시쵸3-22-1-210 하세가와기요시 일본국도 꼬도홋사시구마가와1658-1 백남기서울시 강남구 논현동 200-7
(74) 대리인	

설명구 :

(54) 마이크로 프로세서

요약

[목적] 저속모드에서 고속모드로의 전환을 고속으로 실행할 수 있으며, 모드전환시 예측블허의 사태에 대처할 수 있는 마이크로프로세서를 제공한다. [구성] 클럭펄스 발생회로 CPU내의 멀티플렉서 MUX3에서 출력된 높은 주파수의 시스템 클럭신호 CK1은 클럭스위치 CS1-CS4를 거쳐 중앙처리장치 CPU, 승산기 MULT, 메모리 관리유닛 MMU, 캐쉬 메모리 CACHE에 공급된다. 이때 클럭스위치 CS1은 모듈이네이블신호 CPEN의 하이레벨을 받아 선택적으로 전달상태가 되고, 클럭스위치 CS2, CS3 및 CS4는 대응하는 모듈 인에이블신호의 하이레벨을 받아 각각 선택적으로 전달상태로 된다. 이에 따라 중앙처리장치 CPU, 승산기 MULT, 메모리 관리유닛 MMU 및 캐쉬메모리 CACHE는 모듈 인에이블신호에 의해 각각 선택적으로 동작한다. 한편 마이크로 프로세서 MPU가 저속모드에서 고속모드로 전환될 때, 클럭인에이블신호 CKENDI 일시적으로 루우레벨로 되기 때문에 모드전환에 따른 헤저드 잡음이 방지되고, 마이크로프로세서 MPU의 동작이 안정화된다.